

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



(19)

(11) Publication number: **51140455 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **50065023**(51) Intl. Cl.: **G06F 9/06 G06F 9/16 G06F 9/18**(22) Application date: **29.05.75**

(30) Priority:
(43) Date of application publication: **03.12.76**
(84) Designated contracting states:

(71) Applicant: **SHARP CORP**
(72) Inventor: **MAEKAWA TOSHIYUKI**
(74) Representative:

(54) PROGRAM CONTROL DEVICE

(57) Abstract:

PURPOSE: To provide flexibility of program control to CPU using ROM.

COPYRIGHT: (C)1976,JPO&Japio



特 許 願 出

(2000円)

昭和 50 年 5 月 29 日

特許庁長官 殿

1. 発明の名称

プログラム制御装置

2. 発明者

住 所 大阪市阿倍野区長池町22番22号

シャープ株式会社内

氏名 マエガトシユキ 前川 俊行

3. 特許出願人

住 所 大阪市阿倍野区長池町22番22号

名称 (504) シャープ株式会社

代表者 佐 伯 旭

4. 代 理 人

住 所 〒545 大阪市阿倍野区長池町22番22号

シャープ株式会社内

電話大阪 (521) 12211

氏名 井原士 (6286) 福 士

〒545 大阪市 (出願) 260-1161 東京支店

5. 添附書類の目録

(1) 明 細 書

(2) 図 面

(3) 委 任 状

1 通
1 通
1 通

特 許

明 細 書

1. 発明の名称

プログラム制御装置

2. 特許請求の範囲

プログラムカウンタを備え、プログラムに従って処理が実行されるCPUにおいて、

上記プログラムカウンタの特定アドレスステップ及びジャンプ先アドレスステップと上記CPU外から指定する手段と、上記指定アドレスステップと上記プログラムカウンタのアドレスステップとを比較し、その一致を検知する検知手段と、該検知手段の出力によって上記プログラムカウンタのステップを強制的に上記指定ジャンプ先アドレスステップに変更する手段とを有するプログラム制御装置。

3. 発明の詳細な説明

本発明はプログラムカウンタを内蔵するCPUによって制御される電子機器において、該機器の仕様をあげるのに最適なプログラム制御装置に關する。

① 日本国特許庁

公開特許公報

① 特開昭 51-140455

④ 公開日 昭51. (1976) 12. 3

② 特願昭 50-65023

② 出願日 昭50. (1975) 5. 29

審査請求 未請求 (全6頁)

庁内整理番号

6841 56
6841 56
6522 56

⑤ 日本分類

977F21
977F13
977F31

⑤ Int. Cl²

G06F 9/06
G06F 9/16
G06F 9/18

最近、ディジタル情報処理装置のCPU(中央処理装置)を、LSI(大規模集積)回路素子の1チップより成るブリセツで実現する例が電手とほじめとして多くの電子機器に普及している。しかし、CPUを使って一つの製品を内蔵した場合、上記CPUはそのままにして該製品の仕様をあげるためには、そのプログラムを再編化するROM(リードオンリーメモリ)を新たに付加しなければならない。従って、製品の仕様をあげるためには、既に設けてあるROMのコードを変更しなければならず、ROMのMASK CHARGEの費用が高い上変更も容易ではないという欠点を有する。

本発明は上記した欠点を除去するためになされたものである。まず本発明の概要を簡単に説明する。製品のプログラムが①、②、③と順次進行する場合、このプログラムの任意のステップから新たに付加するROMのプログラムにステップを移すことができるようにして、該製品の仕様を高めるようにしたものが下記実施例の

概要である。即ち、CPU、及びROMが変更でこ
いようなものとした時、拡張の複雑化を計るた
め、上記ROMのプログラムと新たに付加するROM
のプログラムを組み合せを任意にできるように
したものである。

なお、本発明の詳細は図面に基づく説明から明
らかになるであらう。

第1図は1チップCPUで構成した本発明実施例の要部ブロック図である。同図において、1は1チップLSIのCPUで、補助レジスタ2,3、アキュムレータレジスタ4、インストラクショナルカウンタ5、プログラムカウンタ6等と内蔵している。又、6はROMあるいはRAMのプログラムメモリである。上記CPU内のプログラムカウンタPCの内部には、7としてアドレスを指定される。6の出力はデコードライン7…を介して再度CPUに導入される。上記インストラクショナルコード5はコード化された命令語を翻訳するところで、リターン命令、ジャンプ命令等が発生される。アンドゲートAG1~AGnはプログラムカウンタ制御用である。

通常、①～③番地が使用されるものとする。
このような構成において、機器の仕様を變化さ
せるため例え、プログラムスタート(アドレス)
を '00101110' から '11010110' に變化させ
るには次のようにする。まず、プログラムメモリ
に '11010110' 以後のプログラムを有するROM
を付加すると共に Xスイッチを '00101110' に、
Yスイッチを '11010110' に設定する。

プログラムカウンタPCに"00101100"→00101101
...の如く順次カウントし、"00101110"をカウン
タすると、スイッチXの出力Lの一致が検出され
一致出力Sが一致回路Pから出力される。この
出力SはアンドゲートA1-Amにオンし、スイ
ッチYに設定した内容をプログラムカウンタPCに
導入する。このプログラムカウンタPCの内容が、プ
ログラムメモリー6に導入されるので、該メモリー
6からは、新たに付加したROMの内容が出力され
る。従って、0~00101110までは従来のROMの内容
を利用し、"01010110"以後は新たなROMの内容を
利用するので、仕様を変更することができ上

Xはプログラム変更する為のアドレス指定用のコードスイッチで、PCが8ビットならば、8個下構成されている。Yは指定されたアドレスからどこへジャンプするかを指定するジャンプ先アドレス指定用コードスイッチで同様に8個で構成されている。8は上記スイッチXで指定した内容とプログラムカウンタの内容とを一致を検出する一致検出回路、A1~Anは上記検出回路の一致出力Sによって、スイッチYによるジャンプ先アドレスをプログラムカウンタPCに導入するためのアンドゲート、Oq1は上記アンドゲートA1~An出力をカウンタCに有効に記憶させるための出力を導出するオアゲートである。なお、プログラムメモリに予め組み込まれているROMが①~1000番地までとし、新たに組み込まれるROMが1000~3000番地までとする。上記プログラムカウンタPCは、①~5000までカウントできるものとする。そして、予め組み込まれているROMのみ使用する場合、1000番地に「①番地に戻れ」という内容が入っている。

種々の仕様を達成することが出来る。このように本発明の要部は第1図の破線部と図2の点部とにある。即ち、主記憶回路内のプログラムカウンタPCに、データバスを介し、若干の回路を付加することによって、大幅なプログラム変更が可能にしたものである。なおスイッチX、Yの数値設定は任意であるから、任意スラッパからの変更が可能である。

上記実施例はスイッチX、Yを設けたものであるが、このスイッチX、Yと同様の目的でXI、YIレジスタを設けた実施例を第2図に示す。同図において第1図と同一部分は同一符号で示す。この実施例の特徴はレジスタXI、YIにアドレス指定内容(推定アドレス)、ジャンプ先アドレスを記憶することにある。

5. ①~⑩各社のアドレス(250)を変更した場合

新たに付加する ROM の例では (100) から (1005) に、

ROM アドレス	内容
(100)	00000000
(101)	00000001
(102)	00000010
(103)	00000011
(104)	00000100
(105)	00000101
(106)	00000110
(107)	00000111
(108)	00001000
(109)	00001001
(110)	00001010
(111)	00001011
(112)	00001100
(113)	00001101
(114)	00001110
(115)	00001111
(116)	00010000
(117)	00010001
(118)	00010010
(119)	00010011
(120)	00010100
(121)	00010101
(122)	00010110
(123)	00010111
(124)	00011000
(125)	00011001
(126)	00011010
(127)	00011011
(128)	00011100
(129)	00011101
(130)	00011110
(131)	00011111
(132)	00100000
(133)	00100001
(134)	00100010
(135)	00100011
(136)	00100100
(137)	00100101
(138)	00100110
(139)	00100111
(140)	00101000
(141)	00101001
(142)	00101010
(143)	00101011
(144)	00101100
(145)	00101101
(146)	00101110
(147)	00101111
(148)	00110000
(149)	00110001
(150)	00110010
(151)	00110011
(152)	00110100
(153)	00110101
(154)	00110110
(155)	00110111
(156)	00111000
(157)	00111001
(158)	00111010
(159)	00111011
(160)	00111100
(161)	00111101
(162)	00111110
(163)	00111111
(164)	01000000
(165)	01000001
(166)	01000010
(167)	01000011
(168)	01000100
(169)	01000101
(170)	01000110
(171)	01000111
(172)	01001000
(173)	01001001
(174)	01001010
(175)	01001011
(176)	01001100
(177)	01001101
(178)	01001110
(179)	01001111
(180)	01010000
(181)	01010001
(182)	01010010
(183)	01010011
(184)	01010100
(185)	01010101
(186)	01010110
(187)	01010111
(188)	01011000
(189)	01011001
(190)	01011010
(191)	01011011
(192)	01011100
(193)	01011101
(194)	01011110
(195)	01011111
(196)	01100000
(197)	01100001
(198)	01100010
(199)	01100011
(200)	01100100
(201)	01100101
(202)	01100110
(203)	01100111
(204)	01101000
(205)	01101001
(206)	01101010
(207)	01101011
(208)	01101100
(209)	01101101
(210)	01101110
(211)	01101111
(212)	01110000
(213)	01110001
(214)	01110010
(215)	01110011
(216)	01110100
(217)	01110101
(218)	01110110
(219)	01110111
(220)	01111000
(221)	01111001
(222)	01111010
(223)	01111011
(224)	01111100
(225)	01111101
(226)	01111110
(227)	01111111
(228)	10000000
(229)	10000001
(230)	10000010
(231)	10000011
(232)	10000100
(233)	10000101
(234)</	

1001 250 → 79.4 L-9-15 λ h 3.

1002 アキコムレーターの内容をXILシステムに入れる。

1003 シンゾウ先アドレスを7406レターに入れ。

100 4 アドレス7の内容を YLレジスタに入れる。
100 5 アドレス0へジャンプせよ

なるプログラムを書く。なおジャンプ先アドレスは、⑩～(1000) 番地までよいし、新たなROMの番地例では(2000)でもよい。

上記新たなROMとプログラムメモリーに付加した後、power ONの同期信号を上記ROMのチップセレクト端子へ入力し、同期信号が出力されている間、動作不能にしておく。上記同期信号の伝達線9は線7とゲイオードとを介して接続されており、この実施例では、同期信号によって番地(1001)を指定する入力と線7に伝達するようにゲイオードが組み込まれる。即ち、ゲイオードの動作も任意であり、所定番地を設定することが可能である。上記同期信号によってプログラムカウンタPCは(1001)にセットされ、同期信号が出力される力くなるとROMが動作可能となり、アドレス(1001)のプログラムを実行し、順次(1005)まで動作を行い、XLレジスタに'250'を YLレジスタに例して'2000'を記憶させた後、'0'番地に来る。

すると、今度は、④番地よりプログラムカウンタPCが順次カウントアップしていき、(250)になるとアドレスレジスタの一致がとれる。この一致出力SによってゲートA1~Anが開き、アドレスの内容'2000'がプログラムカウンタPCに導入される。このカウンタPCの内容がメモリー6に導入されるので、(2000)番地以後のプログラムを実行することになる。

第2図の実施例では下記する第1図の不都合を除去することが出来る。①、LSIの入力端子数が増加する。②変更する箇所が何箇所もある場合は、構成が非常にむづかしくなる（なお第2図の場合、新しいアドレスで変更を行うことが出来る）。

本工のように本説明は CPU、ROM を使用した機
 器において、該機器の ~~接続~~^{仕様} を変更する場合、既
 存の ROM を変更することなく、新たな ROM を作
 成するだけでよい。しかも、プログラムの変更は
 極めて容易であり、既存の ROM のアドレスの任意入
 レットから変更できるから、多種多様の仕様変

更に可能である。

4. 圖面の简单な説明

第1図は本発明の一実施例の要部ブロック図、
第2図は他の実施例の要部ブロック図である。

序号

1: CPU, X, Y: 21~4

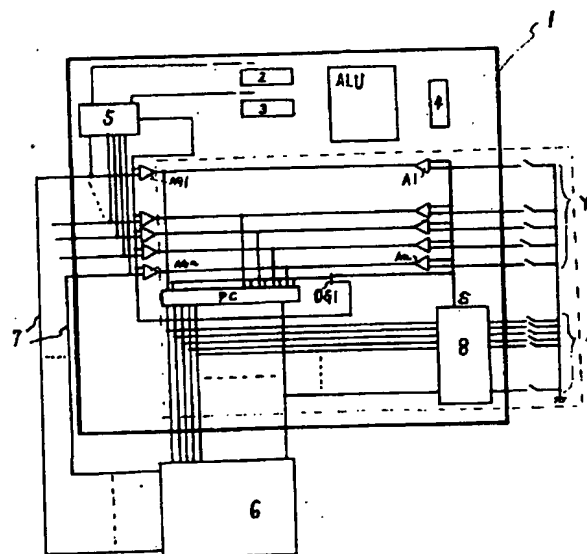
PC: プログラムカウンタ, 6: プログラムメモリー

$A_1 \sim A_n$: アンドゲート, δ : 一致検出回路.

ALU : 演算部 .

代理人 李理工

富士電機



71 區

特開昭51-140455(4)

手続補正書(方式)

昭和50年10月14日

特許庁長官

殿

1. 事件の表示

特願昭 50-65023

2. 発明の名称

プログラム制御装置

3. 補正をする者

事件との関係 特許出願人

住所 大阪市阿倍野区長池町22番23号

名称 (504) レナール株式会社

代表者 佐伯 旭

4. 代理人

住所 545 大阪市阿倍野区長池町22番23号

レナール株式会社内

氏名 弁護士 (6238) 堀 土 俊

通称 堀 土 俊 (414) 280-2161

5. 補正命令の日付

昭和50年9月6日

6. 補正の対象

明細書

明細書の

特許

請求の範囲

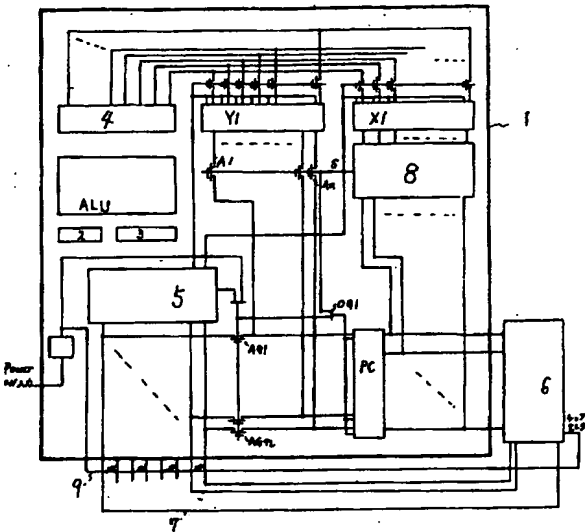
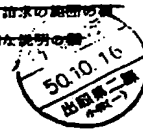
明細書の

発明

の詳述を説明の

7. 補正の内容

明細書の



※2

明 細 書

1. 発明の名称

プログラム制御装置

2. 特許請求の範囲

プログラムカウンタを備え、プログラムに従って処理が実行されるOPUにおいて、

上記プログラムカウンタの所定アドレスステップ及びジャンプ先アドレスステップを上記OPU外から指定する手段と、上記指定アドレスステップと上記プログラムカウンタのアドレスステップとを比較し、その一致を検知する検知手段と、該検知手段の出力によって上記プログラムカウンタのステップを強制的に上記指定ジャンプ先アドレスステップに変更する手段とを有するプログラム制御装置。

3. 発明の詳細な説明

本発明はプログラムカウンタを内蔵するOPUによって制御される電子機器において、該機器の仕をあげるのに好適なプログラム制御装置に関する。

最近、デジタル情報処理装置のOPU(中央処理装置)を、LSI(大規模集積)回路素子のチップより成るブリセツヤで実現する例が漸次をはじめとして多くの電子機器に普及している。しかし、OPUを使って一つの製品を開発した場合、上記OPUはそのままでして該製品の仕様をあげるためには、そのプログラムを多様化するROM(リードオンリーメモリ)を新たに付加しなければならぬ。従って、製品の仕様をあげるためには、既に設けてあるROMのコードを変更しなければならず、ROMのMASK CHARGEの費が高くなり変更も容易ではないという欠点を有する。本発明は上記した欠点を除去するためになされたものである。まず本発明の概要を簡単に説明する。製品の主プログラムが①、②、③、④と順次進行する場合、このプログラムの任意のステップから、新たに付加するROMのプログラムにステップを添すことができるようにして、該製品の仕様を高めるようにしたもののが下記実施例の概略である。即ち、OPU、及びROMが変更できないようなものとした時、仕様の複雑化を計るため、上記

ROMのプログラムと新たに付加するROMのプログラムの組み合わせを任意にできるようにしたものである。

なお、本発明の詳細は図面に基づく説明から明らかになるであろう。

第1図は1チップCPUで構成した本発明の実例の内部ブロック図である。同図において、1は1チップLSIのCPUで、補助レジスタ2、3、アキュムレータレジスタ4、インストラクションデコーダ5、プログラムカウンタPC等を内蔵している。又、6はROMあるいはRAMのプログラムメモリで上記CPU内のプログラムカウンタPCの内容によってアドレスを指定される。6の出力はデータライン7...を介して再度CPUに導入される。上記インストラクションデコーダ5はコード化された命令語を解釈するところで、リターン命令、ジャンプ命令等が発生される。アンドゲートAG1~AGnはプログラムカウンタ

制御用である。

Xはプログラム変更するためのアドレス指定用の

コード分スイッチで、PCが8ビットならば、8個で構成されている。Yは指定されたアドレスからどこへジャンプするかを指定するジャンプ先アドレス指定用コードスイッチと同様に8個で構成されている。8は上記スイッチXで指定した内容とプログラムカウンタの内容との一致を検出する一致検出回路、A1~Anは上記検出回路8の一致出力8によって、スイッチYによるジャンプ先アドレスをプログラムカウンタPCに導入するためのアンドゲート、OOLは上記アンドゲートA1~An出力をカウンタPCに有効に記憶させるための出力を導出するオアゲートである。なお、プログラムメモリ6に予め組み込まれているROMが①~①000番地までとし、新たに組み込まれるROMが②000~③000番地までとすると、上記プログラムカウンタPCは①~5000までカウントできるものとする。そして、予め組み込まれているROMのみ使用する場合、①000番地に「①番地に戻れ」という内容が入っていて通常は、①~①000番地が使用されるものとする。

このような構成において、導線の仕様を変化させるため例えば、プログラムステップ(アドレス)を'00101110'から'11010110'に変化させるには次のようにする。まず、プログラムメモリ6に'11010110'以後のプログラムを有するROMを付加すると共にXスイッチを'00101110'に、Yスイッチを'11010110'に設定する。プログラムカウンタPCが001011100-001011101-...の如く順次カウントし、'00101110'をカウントすると、スイッチXの出力との一致が検出され一致出力8が一致回路8から出力される。この出力8はアンドゲートA1~Anをオンし、スイッチYに設定した内容をプログラムカウンタPCに導入する。このプログラムカウンタPCの内容が、プログラムメモリ6に導入されるので、該メモリからは、新たに付加したROMの内容が出力される。従って、0~00101110までは従来のROMの内容を利用し、'11010110'以後は新た

なROM内容を利用するので、仕様を変更することができる上様々な仕様を達成することができる。このように本発明の内部は第1図の破線部に囲まれた部分にある。即ち、本発明はCPU内のプログラムカウンタPCに対し、若干の回路を付加することによって、大幅なプログラム変更を可能にしたものである。なお、スイッチX、Yの数値設定は任意であるから、任意ステップからの変更が可能である。

上記実施例はスイッチX、Yを設けたものであるが、このスイッチX、Yと同様の目的でX1、Y1レジスタを設けた実施例を第2図に示す。同図において第1図と同一部分は同一符号で示す。この実施例の特徴はレジスタX1、Y1にアドレス指定内容(指定アドレス)、ジャンプ先アドレスを記憶することにある。

今、①~①000番地のアドレス②500を変更したい場合新たに付加するROMの例えば①001から①005を、

ROMアドレス 内容

1001 250-アキュムレーターに入れる。
 1002 アキュムレーターの内容をXレジスタに入れる。
 1003 ジャンプ先アドレスをアキュムレーターに入れる。
 1004 アキュムレーターの内容をYレジスタに入れる。
 1005 アドレス0へジャンプせよ
 なるプログラムを書く。なおジャンプ先アドレスは、①-①000番地まででもよいし、新たなROMの番地例えば②000でもよい。
 上記新たなROMをプログラムメモリ8に付加した後、power onの同期信号を上記ROMのチップセレクト端子へ入力し、同期信号が出力されている間、動作不能にしておく。上記同期信号の伝達線9は素子とダイオードを介して接続されており、この実施例では、同期信号によって番地①000を指定する入力を素子に伝達するようにダイオードが組み込まれる。即ち、ダイオードの取付も任意であって、所定番地を設定することが

可能である。上記同期信号によってプログラムカウンタPCは①000にセットされ、同期信号が出力されなくなると、ROMが動作可能となり、アドレス①000のプログラムを実行し、順次①000まで動作を行い、Xレジスタに'250'をYレジスタに例えば'2000'を記憶させた後、'0'番地に戻る。

すると、今度は、①番地よりプログラムカウンタPCが順次カウントアップしていき、②50になるとXレジスタとの一致がとられる。この一致出力BによってゲートA1~Anが導き、Yレジスタの内容'2000'がプログラムカウンタPCに導入される。このカウンタPCの内容がメモリ8に導入されるので、③000番地以後のプログラムを実行することができる。

第2図の実施例では下記する第1図の不都合を除去することができる。①、LSIの入力端子数が増加する。②変更する箇所が何箇所もある場合は、構成が非常にむづかしくなる(なお第2図の場合新しいアドレスで変更を行うことができる)。

仮上のように本発明はCPD、ROMを使用した構成において、該構成の仕様を変更する場合、既存のROMを変更することなく、新たなROMを付加するだけよい。しかも、プログラムの変更は極めて容易であり、既存のROMのアドレスの任意ステップから変更できるから、多種多様な仕様変更が可能である。

4. 図面の簡単な説明

第1図は本発明の一実施例の要部ブロック図、
 第2図は他の実施例の要部ブロック図である。

符号

1:CPU、 X、Y:スイッチ、
 PC:プログラムカウンタ、 8:プログラムメモリ、 A1~An:アンドゲート、 B:一致検出回路、 ALU:演算部。

代理人 弁護士 堀 士 愛 彦